



PTO/SB/21 (08-03)

Approved for use through 08/30/2003. OMB 0651-0031

U.S. Patent and Trademark Office; U.S. DEPARTMENT OF COMMERCE

Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it displays a valid OMB control number.

TRANSMITTAL FORM (to be used for all correspondence after initial filing)	Application Number	10/751,169	
	Filing Date	12/30/2003	
	First Named Inventor	Dae Gun LEE	
	Art Unit		
	Examiner Name		
Total Number of Pages in This Submission	19	Attorney Docket Number	PIA31070/ANS/US

ENCLOSURES (Check all that apply)

<input type="checkbox"/> Fee Transmittal Form <input type="checkbox"/> Fee Attached <input type="checkbox"/> Amendment/Reply <input type="checkbox"/> After Final <input type="checkbox"/> Affidavits/declaration(s) <input type="checkbox"/> Extension of Time Request <input type="checkbox"/> Express Abandonment Request <input type="checkbox"/> Information Disclosure Statement <input checked="" type="checkbox"/> Certified Copy of Priority Document(s) <input type="checkbox"/> Response to Missing Parts/Incomplete Application <input type="checkbox"/> Response to Missing Parts under 37 CFR 1.52 or 1.53	<input type="checkbox"/> Drawing(s) <input type="checkbox"/> Licensing-related Papers <input type="checkbox"/> Petition <input type="checkbox"/> Petition to Convert to a Provisional Application <input type="checkbox"/> Power of Attorney, Revocation <input type="checkbox"/> Change of Correspondence Address <input type="checkbox"/> Terminal Disclaimer <input type="checkbox"/> Request for Refund <input type="checkbox"/> CD, Number of CD(s) _____	<input type="checkbox"/> After Allowance communication to Technology Center (TC) <input type="checkbox"/> Appeal Communication to Board of Appeals and Interferences <input type="checkbox"/> Appeal Communication to TC (Appeal Notice, Brief, Reply Brief) <input type="checkbox"/> Proprietary Information <input type="checkbox"/> Status Letter <input checked="" type="checkbox"/> Other Enclosure(s) (please identify below):
Remarks 1. Claim for Priority 2. Return Receipt Postcard		

SIGNATURE OF APPLICANT, ATTORNEY, OR AGENT

Firm or Individual name	Andrew D. Fortney, Ph.D., Reg. No. 34,600		
Signature			
Date	January 27, 2004		

CERTIFICATE OF TRANSMISSION/MAILING

I hereby certify that this correspondence is being facsimile transmitted to the USPTO or deposited with the United States Postal Service with sufficient postage as first class mail in an envelope addressed to: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450 on the date shown below.			
Typed or printed name	Andrew D. Fortney, Ph.D.		
Signature		Date	January 27, 2004

This collection of information is required by 37 CFR 1.5. The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.14. This collection is estimated to 12 minutes to complete, including gathering, preparing, and submitting the completed application form to the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, U.S. Department of Commerce, P.O. Box 1450, Alexandria, VA 22313-1450. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. SEND TO: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.

If you need assistance in completing the form, call 1-800-PTO-9199 and select option 2.



Pat. Docket No. PIA31070/ANS/US

IN THE UNITED STATES PATENT & TRADEMARK OFFICE

IN RE APPLICATION OF:

:

Dae Gun LEE

: GROUP ART UNIT:

SERIAL NO: 10/751,169

:

FILED: December 30, 2003

: EXAMINER:

FOR: Method for Forming a Dual Damascene Structure in a Semiconductor Device

I hereby certify that this document is being deposited with the United States Postal Service as first class mail in an envelope addressed to Commissioner for Patents, Washington, D.C. 20231, on January 27, 2004.

By:

Andrew D. Fortney

CLAIM FOR PRIORITY UNDER 35 U.S.C. 119(a)-(b) AND 37 C.F.R. 1.55

COMMISSIONER FOR PATENTS
WASHINGTON, D.C. 20231

SIR:

Applicant respectfully requests under the Paris Convention for the Protection of Intellectual Property the benefit of the filing date of the prior foreign application(s) identified below:

<u>Serial No.</u>	<u>Filing Date</u>	<u>Country of Filing</u>
10-2002-0086736	December 30, 2002	Republic of KOREA

A certified copy of the above-identified priority application is attached.

Respectfully submitted,

Andrew D. Fortney, Ph.D.
Reg. No. 34,600

7257 N. Maple Avenue, Bldg. D, #107
Fresno, California 93720
(559) 299 - 0128



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto is a true copy from the records of the Korean Intellectual Property Office.

출원번호 : 10-2002-0086736
Application Number

출원년월일 : 2002년 12월 30일
Date of Application DEC 30, 2002

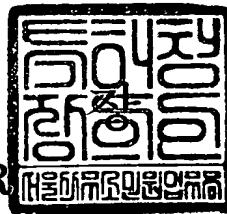
출원인 : 아남반도체 주식회사
Applicant(s) ANAM SEMICONDUCTOR., Ltd.



2003 년 10 월 16 일

특 허 청

COMMISSIONER



【서지사항】

【서류명】	특허출원서		
【권리구분】	특허		
【수신처】	특허청장		
【참조번호】	0104		
【제출일자】	2002. 12. 30		
【발명의 명칭】	반도체 소자의 듀얼 다마신 콘택홀 제조 방법		
【발명의 영문명칭】	METHOD FOR MANUFACTURING DUAL DAMASCENE CONTACT HOLE OF THE SEMICONDUCTOR DEVICE		
【출원인】			
【명칭】	아남반도체 주식회사		
【출원인코드】	1-1998-002671-9		
【대리인】			
【성명】	장성구		
【대리인코드】	9-1998-000514-8		
【포괄위임등록번호】	1999-068046-1		
【대리인】			
【성명】	김원준		
【대리인코드】	9-1998-000104-8		
【포괄위임등록번호】	1999-068052-0		
【발명자】			
【성명의 국문표기】	이대근		
【성명의 영문표기】	LEE, Dae Gun		
【주민등록번호】	671115-1055325		
【우편번호】	420-727		
【주소】	경기도 부천시 원미구 중동 설악마을 310동 801호		
【국적】	KR		
【심사청구】	청구		
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 장성구 (인) 대리인 김원준 (인)		
【수수료】			
【기본출원료】	17	면	29,000 원
【가산출원료】	0	면	0 원

1020020086736

출력 일자: 2003/10/21

【우선권주장료】 0 건 0 원

【심사청구료】 5 항 269,000 원

【합계】 298,000 원

· 【첨부서류】 1. 요약서·명세서(도면)_1통

【요약서】**【요약】**

본 발명은 반도체 소자의 듀얼 다마신 콘택홀 제조 방법에 관한 것으로, 특히 본 발명의 제조 방법은 반도체 기판의 소정 구조물 상부에 층간 절연막을 형성하는 단계와, 층간 절연막 상부에 식각 정지막을 형성하는 단계와, 식각 정지막 상부에 비아홀 영역을 정의하는 포토레지스트 패턴을 형성하고 이에 드러난 식각 정지막 및 층간 절연막을 설정된 깊이에서 일정 깊이로 식각하여 비아홀을 형성하는 단계와, 식각 정지막의 상부면 및 측면을 설정된 두께로 풀백(full back) 식각하는 단계와, 풀백 식각된 식각 정지막에 의해 드러난 층간 절연막을 설정된 깊이까지 식각하되, 식각 정지막이 제거되고 층간 절연막 표면이 드러날 때까지 식각하여 비아홀 영역보다 넓은 트렌치를 갖는 듀얼 다마신 콘택홀을 형성하는 단계를 포함한다. 따라서, 본 발명은 종래 기술의 듀얼 다마신 공정들과 같이 2회의 사진 공정을 1회의 사진 공정으로 줄이며 듀얼 다마신의 트렌치 식각과 비아홀 식각시 식각 정지점을 잡기 위해 삽입되는 식각 정지막을 1층으로 줄일 수 있어 전체 듀얼 다마신 공정을 단순화시킬 수 있다.

【대표도】

도 4c

【색인어】

듀얼 다마신, 비아홀, 트렌치, 풀백 식각

【명세서】

【발명의 명칭】

반도체 소자의 듀얼 다마신 콘택홀 제조 방법{METHOD FOR MANUFACTURING DUAL DAMASCENE CONTACT HOLE OF THE SEMICONDUCTOR DEVICE}

【도면의 간단한 설명】

도 1a 내지 도 1d는 종래 기술의 일 실시예에 의한 반도체 소자의 듀얼 다마신 콘택홀 제조 방법을 나타낸 공정 순서도,

도 2a 내지 도 2d는 종래 기술의 다른 실시예에 의한 반도체 소자의 듀얼 다마신 콘택홀 제조 방법을 나타낸 공정 순서도,

도 3a 내지 도 3d는 종래 기술의 또 다른 실시예에 의한 반도체 소자의 듀얼 다마신 콘택홀 제조 방법을 나타낸 공정 순서도,

도 4a 내지 도 4d는 본 발명에 따른 반도체 소자의 듀얼 다마신 콘택홀 제조 방법을 나타낸 공정 순서도.

<도면의 주요부분에 대한 부호의 설명>

100 : 반도체 기판의 소정 구조물

102 : 층간 절연막

104 : 식각 정지막

104b : 풀백 식각된 식각 정지막

106 : 포토레지스트 패턴

108 : 비아홀

110 : 듀얼 다마신 콘택홀

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

- <13> 본 발명은 반도체 제조방법에 관한 것으로서, 특히 제조 공정을 단순화한 반도체 소자의 듀얼 다마신 콘택홀 제조 방법에 관한 것이다.
- <14> 반도체 소자의 고집적화가 진행됨에 따라 소자의 크기를 축소시키는 것 이외에도 소자의 성능을 향상시키기 위한 연구가 진행되고 있다. 현재 대부분의 반도체장치의 배선 공정은 단일 배선만으로는 고집적 소자의 동작시 요구되는 신호를 신속하게 전달하는데 어려움이 있기 때문에 이를 극복한 다층 배선구조를 채택하고 있다.
- <15> 반도체 소자의 다층 배선구조로 인해 제조 공정이 단순화된 듀얼 다마신 공정(dual damascene process)이 등장하였다. 듀얼 다마신 공정은 층간 절연막에 비아홀(via hole)과 배선용 트렌치(trench)를 형성하고 도전막을 갭필(gap-fill)한 후에 CMP(Chemical Mechanical Polishing)로 연마하여 배선과 비아를 함께 형성하는 공정이다.
- <16> 이러한 듀얼 다마신 공정은 여러 가지 공정 방법이 있는데, 도 1 내지 도 3을 참조하여 이들 방법에 대해 설명한다.
- <17> 도 1a 내지 도 1d는 종래 기술의 일 실시예에 의한 반도체 소자의 듀얼 다마신 콘택홀 제조 방법을 나타낸 공정 순서도이다. 도 1에 도시된 종래 듀얼 다마신 공정은 층간 절연막에 배선용 트렌치를 먼저 형성하고, 비아홀을 형성하는 것이다.

- <18> 우선 도 1a에 도시된 바와 같이, 반도체 기판(10)인 실리콘 기판에 소정 구조물을 갖는 반도체 소자(미도시함)를 형성하고, 그 위에 제 1식각 정지막(12)으로서 실리콘질화막(Si_3N_4)을 형성한다. 그리고 그 위에 제 1층간 절연막(14)과 제 2식각 정지막(16) 및 제 2층간 절연막(18)을 순차적으로 형성한다. 그 다음 사진 공정을 진행하여 제 2층간 절연막(18) 상부에 배선용 트렌치 영역을 정의하는 포토레지스트 패턴(20)을 형성한다.
- <19> 이어서 도 1b에 도시된 바와 같이, 식각 공정으로 포토레지스트 패턴(20)에 의해 드러난 제 2층간 절연막(18)을 패터닝(18a)하여 배선용 트렌치 영역을 형성한다. 그리고 포토레지스트 패턴(20)을 제거한다.
- <20> 계속해서 도 1c에 도시된 바와 같이, 사진 공정을 진행하여 상기 결과물에 비아홀 영역을 정의하는 포토레지스트 패턴(22)을 형성한다.
- <21> 그리고 도 1d에 도시된 바와 같이, 식각 공정으로 포토레지스트 패턴(22)에 의해 드러난 제 2식각 정지막(16) 및 제 1층간 절연막(14)을 순차적으로 식각(16a, 14a)한다. 도면에 미도시되어 있지만, 제 1식각 정지막(12) 또한 식각하여 반도체 기판에 있는 반도체 소자의 구조물(예컨대 배선, 또는 활성 영역)을 노출시키는 비아홀(24)을 형성한 후에 포토레지스트 패턴(22)을 제거하여 듀얼 다마신 공정을 완료한다.
- <22> 다음 도 2a 내지 도 2d는 종래 기술의 다른 실시예에 의한 반도체 소자의 듀얼 다마신 콘택홀 제조 방법을 나타낸 공정 순서도이다. 도 2에 도시된 종래 듀얼 다마신 공정은 층간 절연막에 비아홀을 먼저 형성하고, 배선용 트렌치를 형성하는 과정을 나타낸 것이다.
- <23> 우선 도 2a에 도시된 바와 같이, 반도체 기판(30)인 실리콘 기판에 소정 구조물을 갖는 반도체 소자(미도시함)를 형성하고, 그 위에 제 1식각 정지막(32)으로서 실리콘질화막(Si_3N_4)

을 형성한다. 그리고 그 위에 제 1층간 절연막(34)과 제 2식각 정지막(36) 및 제 2층간 절연막(38)을 순차적으로 형성한다. 그 다음 사진 공정을 진행하여 제 2층간 절연막(38) 상부에 비아홀 영역을 정의하는 포토레지스트 패턴(40)을 형성한다.

<24> 이어서 도 2b에 도시된 바와 같이, 식각 공정으로 포토레지스트 패턴(40)에 의해 드러난 제 2층간 절연막(38)부터 제 1층간 절연막(34)을 패터닝(38a, 36a, 34a)하여 비아홀(42)을 형성한다. 그리고 포토레지스트 패턴(40)을 제거한다. 이때, 도면에 미도시되어 있지만, 제 1식각 정지막(32)까지 식각하여 반도체 기판의 반도체 소자의 구조물(예컨대 배선, 또는 활성 영역)을 노출시키는 비아홀(42)을 형성할 수도 있다.

<25> 계속해서 도 2c에 도시된 바와 같이, 사진 공정을 진행하여 상기 제 2층간 절연막(38a) 상부에 배선용 트렌치 영역을 정의하는 포토레지스트 패턴(44)을 형성한다. 이때, 비아홀(42)에도 이후 제 2층간 절연막(38a)의 트렌치 식각 공정시 하부 구조물을 보호하기 위하여 제 2식각 정지막(36a)까지 채우는 겹필막(46)을 추가 형성한다.

<26> 그리고 도 2d에 도시된 바와 같이, 식각 공정으로 포토레지스트 패턴(44)에 의해 드러난 제 2층간 절연막(38a)을 식각(36b)하여 배선용 트렌치(48)를 형성한다. 그리고 나서 포토레지스트 패턴(44)과 함께 비아홀(42)에 채워진 겹필막(46)을 제거하여 듀얼 다마신 공정을 완료한다.

<27> 다음 도 3a 내지 도 3d는 종래 기술의 또 다른 실시예에 의한 반도체 소자의 듀얼 다마신 콘택홀 제조 방법을 나타낸 공정 순서도이다. 도 3에 도시된 종래 듀얼 다마신 공정은 셀프 얼라인(self-align) 방식으로 비아홀 및 배선용 트렌치를 형성하는 과정을 나타낸 것이다.

- <28> 도 3a에 도시된 바와 같이, 반도체 기판(50)인 실리콘 기판에 소정 구조물을 갖는 반도체 소자(미도시함)를 형성하고, 그 위에 제 1식각 정지막(52)으로서 실리콘질화막(Si_3N_4)을 형성한다. 그리고 그 위에 제 1층간 절연막(54)과 제 2식각 정지막(56)을 순차적으로 형성한다. 그 다음 사진 공정을 진행하여 제 2식각 정지막(56) 상부에 비아홀 영역을 정의하는 포토레지스트 패턴(58)을 형성한다.
- <29> 이어서 도 3b에 도시된 바와 같이, 식각 공정으로 포토레지스트 패턴(58)에 의해 드러난 제 2식각 정지막(56)을 패터닝(56a)하고, 포토레지스트 패턴(58)을 제거한다.
- <30> 계속해서 도 3c에 도시된 바와 같이, 상기 결과물 전면에서 제 2층간 절연막(60)을 형성하고, 사진 공정을 진행하여 제 2층간 절연막(60) 상부에 배선용 트렌치 영역을 정의하는 포토레지스트 패턴(62)을 형성한다.
- <31> 그리고 도 3d에 도시된 바와 같이, 식각 공정으로 포토레지스트 패턴(62)에 의해 드러난 제 2층간 절연막(60)을 패터닝(60a)함과 동시에 제 2식각 정지막(56a)에 의해 하부 제 1층간 절연막(54)을 순차적으로 식각(54a)하여 셀프 얼라인 형태로 듀얼 다마신 콘택홀(64)을 형성한 후에 포토레지스트 패턴(62)을 제거한다. 한편 도면에 미도시되어 있지만, 제 1식각 정지막(52) 또한 제 2식각 정지막(56a)으로 식각하여 반도체 기판에 있는 반도체 소자의 구조물(예컨대 배선, 또는 활성 영역)을 노출시키는 듀얼 다마신 콘택홀(64)을 형성할 수도 있다.
- <32> 그런데 이와 같은 종래 기술의 듀얼 다마신 공정들은 적어도 2번 이상의 사진 공정이 요구되며 비아홀과 트렌치 영역의 층간 절연막을 식각하기 위하여 2층의 식각 정지막이 증착되므로 제조 공정이 다소 복잡하다는 문제점이 있었다.

【발명이 이루고자 하는 기술적 과제】

<33> 본 발명의 목적은 이와 같은 종래 기술의 문제점을 해결하기 위하여 식각 정지막을 패터닝하여 층간 절연막에 비아홀을 형성하고 상기 식각 정지막에 풀백 식각한 후에 이를 이용하여 층간 절연막에 트렌치를 형성함으로써 1회의 사진 공정과 1층의 식각 정지막 사용으로 듀얼 다마신 공정이 단순화될 수 있는 반도체 소자의 듀얼 다마신 콘택홀 제조 방법을 제공하는데 있다.

<34> 상기 목적을 달성하기 위하여 본 발명은 반도체 소자의 듀얼 다마신 공정에 있어서, 반도체 기판의 소정 구조물 상부에 층간 절연막을 형성하는 단계와, 층간 절연막 상부에 식각 정지막을 형성하는 단계와, 식각 정지막 상부에 비아홀 영역을 정의하는 포토레지스트 패턴을 형성하고 이에 드러난 식각 정지막 및 층간 절연막을 설정된 깊이에서 일정 깊이로 식각하여 비아홀을 형성하는 단계와, 식각 정지막의 상부면 및 측면을 설정된 두께로 풀백(full back) 식각하는 단계와, 풀백 식각된 식각 정지막에 의해 드러난 층간 절연막을 설정된 깊이까지 식각하되, 식각 정지막이 제거되고 층간 절연막 표면이 드러날 때까지 식각하여 비아홀 영역보다 넓은 트렌치를 갖는 듀얼 다마신 콘택홀을 형성하는 단계를 포함한다.

【발명의 구성 및 작용】

<35> 이하 첨부된 도면을 참조하여 본 발명의 바람직한 실시예에 대해 설명하고자 한다.

<36> 도 4a 내지 도 4d는 본 발명에 따른 반도체 소자의 듀얼 다마신 콘택홀 제조 방법을 나타낸 공정 순서도이다. 이들 도면을 참조하면, 본 발명의 듀얼 다마신 공정은 다음과 같다.

<37> 우선 도 4a에 도시된 바와 같이, 반도체 기판(100)으로서 실리콘 기판에 소정 구조물을 갖는 반도체 소자(미도시함)를 형성하고, 그 위에 층간 절연막(102)을 형성한다. 그리고 층간

절연막(102)에 식각 정지막(104)으로서 실리콘질화막(Si_3N_4)을 형성한다. 여기서 식각 정지막(104)은 산화물질, 질화물질, 또는 폴리실리콘으로 이루어진다. 그리고 식각 정지막(104)의 두께는 500 Å ~ 2000 Å 이다.

<38> 그 다음 사진 공정을 진행하여 식각 정지막(104) 상부에 비아홀 영역을 정의하는 포토레지스트 패턴(106)을 형성한다.

<39> 이어서 도 4b에 도시된 바와 같이, 건식 식각 공정으로 포토레지스트 패턴(106)에 의해 드러난 식각 정지막(104)부터 층간 절연막(102)을 패터닝(104a, 102)하여 비아홀(108)을 형성한다. 이때 비아홀(108)은 반도체 기판(100)의 반도체 소자의 구조물(예컨대 배선, 또는 활성 영역)을 노출될 때까지 형성하는 것이 아니라 전체 깊이(depth)의 일정 부분까지만 층간 절연막(102)을 식각해서 형성한다. 식각되는 비아홀(108)의 깊이는 층간 절연막(102)의 두께에 따라 달라진다.

<40> 계속해서 도 4c에 도시된 바와 같이, 식각 정지막(104a)의 상부면 및 측면을 설정된 두께로 풀백(full back) 식각(104b)한다. 이때 점선으로 표시된 부분은 풀백 식각 공정에 의해 식각 정지막(104a)의 상부/측면이 제거된 부분을 나타낸 것이다. 풀백 식각 공정은 습식 식각 용액으로서, 인산(H_3PO_4) 용액에서 식각 정지막(104a)의 측면이 설정된 크기, 배선용 트렌치 영역의 선포이 될 때까지 식각 공정을 진행한다. 즉, 본 발명에 따른 식각 정지막(104a)의 풀백 식각 공정은 듀얼 다마신 트렌치에 형성될 배선의 디자인 룰 선포에 따라 그 식각 두께를 조정한다.

<41> 그 다음 도 4d에 도시된 바와 같이, 풀백 식각된 식각 정지막(104b)에 의해 드러난 층간 절연막(102)을 설정된 두께까지 식각하되, 상기 식각 정지막(104b)이 제거되어 층간 절연막(102) 표면이 드러날 때를 식각 정지로 삼아 식각한다. 그러면 층간 절연막(102)에는 비아홀

보다 넓은 트렌치를 갖는 듀얼 다마신 콘택홀(110)이 형성되면서 식각 정지막(104b)은 제거된다. 즉, 본 발명은 포토레지스트 패턴이 없는 상태에서 층간 절연막(102) 상부 표면을 식각 정지점으로 잡아 풀백 식각된 식각 정지막(104b)을 제거하면서 층간 절연막(102)을 식각한다. 이로 인해 층간 절연막(102) 상부는 풀백 식각된 식각 정지막(104b) 측면에 얼라인되어 배선용 트렌치 폭으로 식각되며 그 하부는 그대로 비아홀 폭을 갖으며 식각되어 듀얼 다마신 콘택홀(110)이 형성된다.

<42> 예를 들어, 층간 절연막(102)과 식각 정지막(104)의 식각 선택비가 20:1 이상이라면, 층간 절연막(102)을 4000Å으로 식각할 때 풀백 식각된 식각 정지막(104b)이 200Å으로 식각하게 되면 층간 절연막(102) 상부에 식각 정지막(104b)이 남아있지 않게 되면서 내부에 트렌치 및 비아홀로 이루어진 듀얼 다마신 콘택홀(110)이 형성된다.

【발명의 효과】

<43> 이상 설명한 바와 같이, 본 발명은 식각 정지막을 패터닝하여 층간 절연막에 일정 깊이로 비아홀을 형성하고 다시 식각 정지막을 풀백 식각한 후에 이를 이용하여 층간 절연막 표면이 드러날 때까지 식각하여 트렌치 및 비아홀로 이루어진 듀얼 다마신 콘택홀을 형성한다.

<44> 따라서 본 발명은 종래 기술의 듀얼 다마신 공정들과 같이 2회의 사진 공정을 1회의 사진 공정으로 줄이며 듀얼 다마신의 트렌치 식각과 비아홀 식각시 식각 정지점을 잡기 위해 삽입되는 식각 정지막을 1층으로 줄일 수 있어 전체 듀얼 다마신 공정을 단순화시킬 수 있는 효과가 있다.

<45> 한편, 본 발명은 상술한 실시예에 국한되는 것이 아니라 후술되는 청구범위에 기재된 본 발명의 기술적 사상과 범주내에서 당업자에 의해 여러 가지 변형이 가능하다.



【특허청구범위】

【청구항 1】

반도체 소자의 듀얼 다마신 공정에 있어서,

반도체 기판의 소정 구조물 상부에 층간 절연막을 형성하는 단계;

상기 층간 절연막 상부에 식각 정지막을 형성하는 단계;

상기 식각 정지막 상부에 비아홀 영역을 정의하는 포토레지스트 패턴을 형성하고 이에 드러난 식각 정지막 및 층간 절연막을 설정된 깊이에서 일정 깊이로 식각하여 비아홀을 형성하는 단계;

상기 식각 정지막의 상부면 및 측면을 설정된 두께로 풀백(full back) 식각하는 단계;
및

상기 풀백 식각된 식각 정지막에 의해 드러난 층간 절연막을 설정된 깊이까지 식각하되, 상기 식각 정지막이 제거되고 상기 층간 절연막 표면이 드러날 때까지 식각하여 상기 비아홀 영역보다 넓은 트렌치를 갖는 듀얼 다마신 콘택홀을 형성하는 단계를 포함하는 것을 특징으로 하는 반도체 소자의 듀얼 다마신 콘택홀 제조 방법.

【청구항 2】

제 1항에 있어서, 상기 식각 정지막은 산화물질, 질화물질, 또는 폴리실리콘인 것을 특징으로 하는 반도체 소자의 듀얼 다마신 콘택홀 제조 방법.

【청구항 3】

제 1항에 있어서, 상기 식각 정지막의 두께는 500Å~2000Å인 것을 특징으로 하는 반도체 소자의 듀얼 다마신 콘택홀 제조 방법.

【청구항 4】

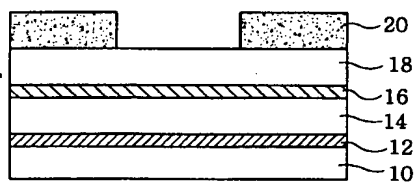
제 1항에 있어서, 상기 식각 정지막의 상부면 및 측면을 설정된 두께로 풀백 식각하는
·공정은 상기 듀얼 다마신의 트렌치에 형성될 배선의 디자인 룰 선폭에 따라 그 식각 두께를 조
·정하는 것을 특징으로 하는 반도체 소자의 듀얼 다마신 콘택홀 제조 방법.

【청구항 5】

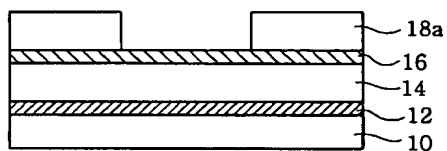
제 1항에 있어서, 상기 식각 정지막의 풀백 식각 공정은 습식 식각 용액을 사용하는 것
을 특징으로 하는 반도체 소자의 듀얼 다마신 콘택홀 제조 방법.

【도면】

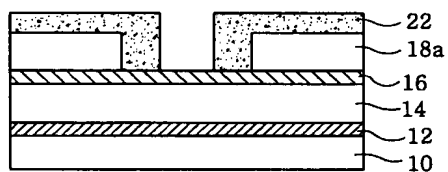
【도 1a】



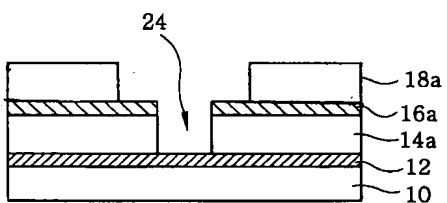
【도 1b】



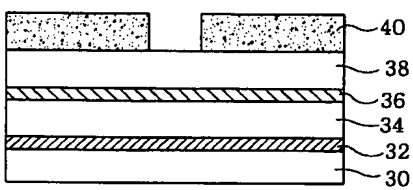
【도 1c】



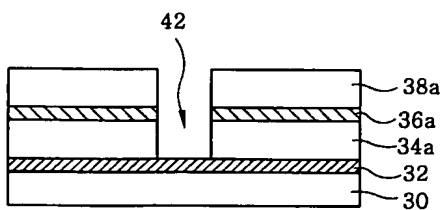
【도 1d】



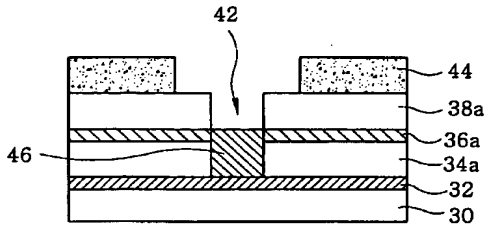
【도 2a】



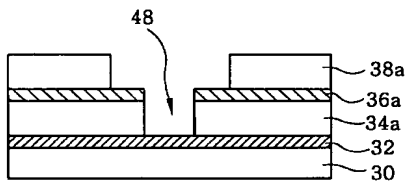
【도 2b】



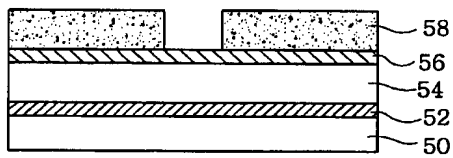
【도 2c】



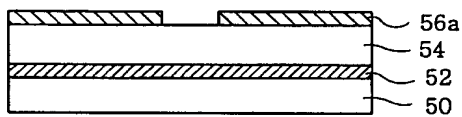
【도 2d】



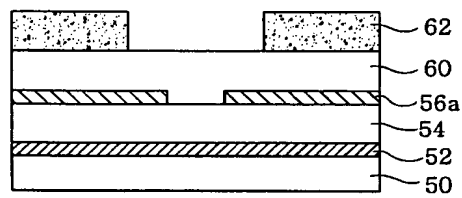
【도 3a】



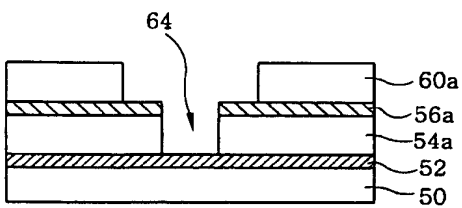
【도 3b】



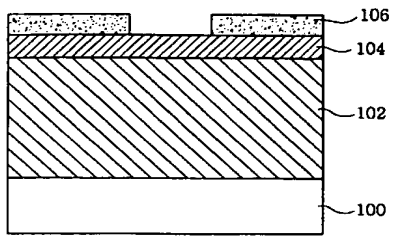
【도 3c】



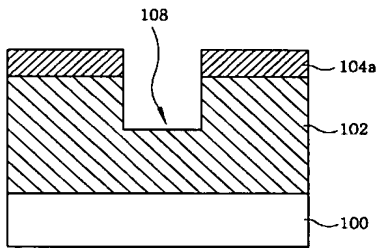
【도 3d】



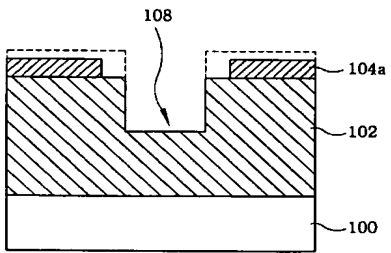
【도 4a】



【도 4b】



【도 4c】



【도 4d】

